

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-314767
 (43)Date of publication of application : 14.11.2000

(51)Int.CI.

G01R 31/319
 G01R 19/00
 G01R 29/02
 G01R 31/28

(21)Application number : 11-124983

(71)Applicant : ASAHI KASEI MICROSYSTEMS KK

(22)Date of filing : 30.04.1999

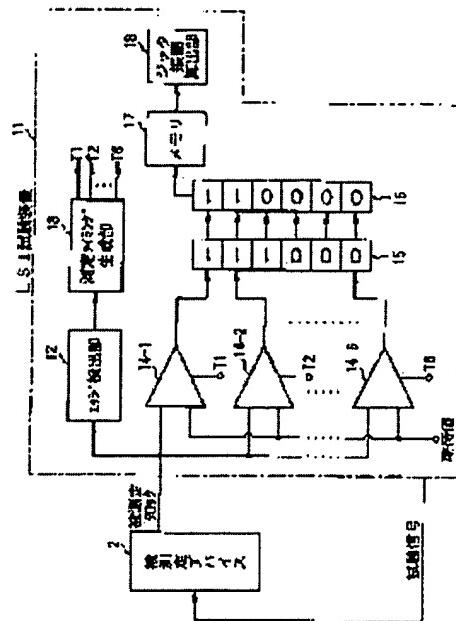
(72)Inventor : NAGASHIMA YUICHI

(54) MEASURING METHOD FOR CLOCK JITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To quantitatively grasp an amplitude of a measured clock jitter to enhance evaluation precision of a measured device.

SOLUTION: Comparators 14-1 to 14-6 compare measured clocks from a measured device 2 with an expected value in each rise of timing signals T1 to T6, and binary data in response to compared results thereof are stored in a storage element of a register 15 in order. The binary data stored in the register 15 expresses a time axis-directional swinging amount of an edge of the measured clock, i.e., an amplitude amount of the jitter of the measured clock. When the binary data stored in a memory 17 reach to a prescribed amount, a jitter amplitude calculating part 18 conducts FFT processing for the binary data to calculate a jitter amplitude in a specified jitter frequency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(1)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-314767

(P2000-314767A)

(43)公開日 平成12年11月14日(2000.11.14)

(51)bt.Cl. ¹	識別記号	F I	テマコト ² (参考)
G01R 31/319		G 01 R 31/28	R 2 G 0 3 2
19/00		19/00	A 2 G 0 3 5
29/02		29/02	L 9 A 0 0 1
31/28		31/28	M

審査請求 未請求 請求項の数3 O.L (全 5 頁)

(21)出願番号	特願平11-124983
(22)出願日	平成11年4月30日(1999.4.30)

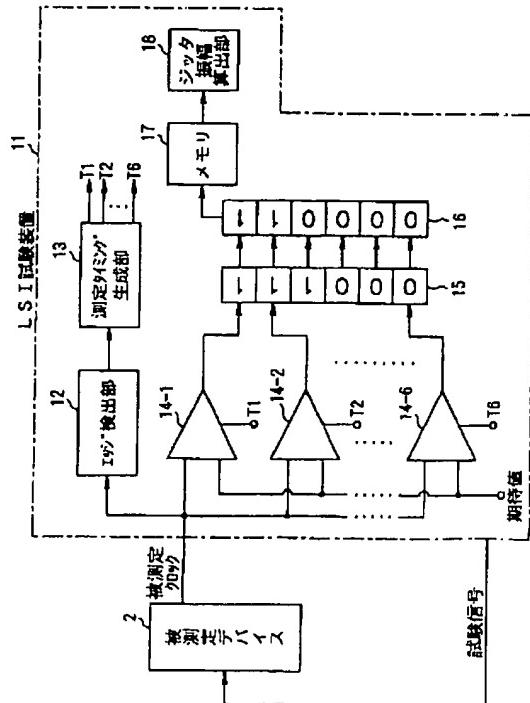
(71)出願人 594021175
旭化成マイクロシステム株式会社
東京都渋谷区代々木1丁目24番10号
(72)発明者 長嶋 裕一
神奈川県厚木市岡田3050番地 旭化成マイ
クロシステム株式会社内
(74)代理人 100066980
弁理士 森 哲也 (外2名)
Fターム(参考) 2G032 AC03 AD06 AE08 AG07
2G035 AB02 AB10 AC01 AC16 AD20
AD23 AD52
9A001 BB03 BB05 BZ03 BZ05 GG03
JJ49 JJ50 KK31 KK37 LL05

(54) [発明の名称] クロックジッタの測定方法

(57) 【要約】

【課題】被測定クロックのジッタの振幅を定量的に把握できるようにし、もって、被測定デバイスの評価精度の向上を図る。

【解決手段】コンパレータ14-1～14-6は、タイミング信号T1～T6の各立ち上がりで、被測定デバイス2からの被測定クロックを期待値と比較し、その比較結果に応じた2進データがレジスタ15の記憶素子に順次格納されていく。このレジスタ15に格納される2進数データは、被測定クロックのエッジの時間軸方向のゆれの量、すなわち被測定クロックのジッタの振幅量を表す。メモリ17に格納される2進数データが所定量に達すると、ジッタ振幅算出部18は、その2進数データにFFT処理を施すことにより、特定のジッタ周波数におけるジッタ振幅を算出する。



【特許請求の範囲】

【請求項1】 L S I 試験装置で試験中の被測定デバイスから出力される被測定クロックのジッタを測定するクロックジッタの測定方法において、

前記被測定クロックをN個のコンパレータに分配し、

前記各コンパレータは、各コンパレータ毎に時間がずれていてN個の各測定タイミングにおいて、前記被測定クロックを期待値と比較してこの結果を2値データで順次出力し、

この2値データに基づいて前記被測定クロックのジッタ振幅を求めるようにしたことを特徴とするクロックジッタの測定方法。

【請求項2】 前記測定タイミングは、前記被測定クロックのエッジが平均的に存在する位置を予測し、この予測されるエッジの前後のN個であることを特徴とする請求項1に記載のクロックジッタの測定方法。

【請求項3】 前記2値データに対してFFT処理を行い、特定のジッタ周波数におけるジッタ振幅を求めるようにしたこと特徴とする請求項1または請求項2に記載のクロックジッタの測定方法。

【発明の詳細な説明】

【〇〇〇1】

【発明の属する技術分野】 本発明は、L S I 試験装置で試験中の被測定デバイスから出力される被測定クロックのジッタの大きさを測定するクロックジッタの測定方法に関するものである。

【〇〇〇2】

【従来の技術】 図4に示すように、従来、L S I 試験装置1で被測定デバイス2の評価を行う場合には、L S I 試験装置1は被測定デバイス2に対して試験信号を供給する。このときに、被測定デバイス2からは、その試験信号に応じて図5(A)に示すような被測定クロックが outputされ、これはL S I 試験装置1のコンパレータ3に入力される。コンパレータ3は、その被測定クロックを、このクロックの周期であってかつ一定間隔(許容されるジッタの範囲)の各タイミング(図5(B)のストローブポイント)で期待値と比較を行う。コンパレータ3による比較の結果が、図5(C)に示すように「H」と「L」となれば、被測定クロックのジッタの振幅は、その「H」と「L」の間隔以内であるということがわかり、被測定デバイス2はジッタが許容範囲にあることになる。

【〇〇〇3】

【発明が解決しようとする課題】 しかし、このようにして被測定クロックのジッタを測定する方法では、そのジッタの振幅(大きさ)が上記の間隔以内であることがわかるにすぎず、被測定デバイス2の被測定クロックのジッタ振幅を定量的に知ることできないという不都合があり、その解決が望まれていた。

【〇〇〇4】 そこで、本発明の目的は、上記の点に鑑

み、被測定クロックのジッタの振幅を定量的に把握できるようにし、もって、被測定デバイスの評価精度の向上を図るようとしたクロックジッタの測定方法を提供することにある。

【〇〇〇5】

【課題を解決するための手段】 上記課題を解決し、本発明の目的を達成するために、請求項1～請求項3に記載の各発明は以下のように構成した。すなわち、請求項1に記載の発明は、L S I 試験装置で試験中の被測定デバイスから出力される被測定クロックのジッタを測定するクロックジッタの測定方法において、前記被測定クロックをN個のコンパレータに分配し、前記各コンパレータは、各コンパレータ毎に時間がずれているN個の各測定タイミングにおいて、前記被測定クロックを期待値と比較してこの結果を2値データで順次出力し、この2値データに基づいて前記被測定クロックのジッタ振幅を求めるようにしたことを特徴とするものである。

【〇〇〇6】 また、請求項2に記載の発明は、請求項1に記載のクロックジッタの測定方法において、前記測定タイミングは、前記被測定クロックのエッジが平均的に存在する位置を予測し、この予測されるエッジの前後のN個であることを特徴とするものである。さらに、請求項3に記載の発明は、請求項1または請求項2に記載のクロックジッタの測定方法において、前記2値データに対してFFT処理を行い、特定のジッタ周波数におけるジッタ振幅を求めるようにしたことを特徴とするものである。

【〇〇〇7】 このように、本発明では、各コンパレータが、各コンパレータ毎に時間がずれている各測定タイミングにおいて、被測定クロックを期待値と比較してこの結果を2値データで順次出力し、この2値データに基づいて被測定クロックのジッタ振幅を求めるようにした。このため、被測定クロックのジッタ振幅を被測定デバイス毎に定量的に把握できる。

【〇〇〇8】 また、本発明では、各コンパレータの測定タイミングを、被測定クロックのエッジが平均的に存在する位置を予測し、この予測されるエッジの前後とするようにした。このため、コンパレータはエッジ付近を狙って比較動作を行うことができ、測定精度を上げた場合でも少ないデータで被測定クロックのジッタ振幅を求めることができる。

【〇〇〇9】

【発明の実施の形態】 以下、本発明の実施形態について図面を参照して説明する。本発明のクロックジッタの測定方法の実施形態は、図1に示すL S I 試験装置11を用いて行うので、まず、これについて説明する。このL S I 試験装置11は、図1に示すように、被測定デバイス2に対して試験信号を供給し、これに応じて被測定デバイス2から出力される被測定クロックを取り込むようになっている。

【0010】また、このLSI試験装置11は、図1に示すように、エッジ検出部12と、測定タイミング生成部13と、N個（この例では6個）のコンパレータ14-1～14-6と、レジスタ15と、レジスタ16と、メモリ17と、ジッタ振幅算出部18とを少なくとも備えている。エッジ検出部12は、被測定デバイス2から被測定クロックを入力し、その測定クロックのエッジの平均的位置を、タイマを利用して検出できるようになっている。測定タイミング生成部13は、エッジ検出部12で検出されたエッジを中心にその前後で、コンパレータ14-1～14-6が異なるタイミングで比較を行うためのタイミング信号T1～T6を生成し、これらが対応するコンパレータ14-1～14-6にそれぞれ供給されるようになっている。

【0011】コンパレータ14-1～14-6には、被測定デバイス2からの被測定クロックと、期待値とが、それぞれ入力されるようになっている。また、コンパレータ14-1～14-6には、測定タイミング生成部13からのタイミング信号T1～T6が供給されるとともに、その各出力はレジスタ15の各記憶素子に出力されるようになっている。また、レジスタ15の各記憶素子は、レジスタ16の対応する各記憶素子に接続されている。

【0012】レジスタ16の格納内容はメモリ17に転送され、このメモリ17の内容をFFT処理（高速フーリエ変換処理）することにより、ジッタ振幅算出部18は、被測定クロックのジッタ周波数におけるジッタ振幅を算出するように構成されている。次に、このような構成からなるLSI試験装置11により、被測定デバイス2から出力される被測定クロックのジッタ振幅の測定方法について、図面を参照して説明する。

【0013】いま、LSI試験装置11から被測定デバイス2に対して試験信号が供給されると、被測定デバイス2からは、図2（A）に示すような被測定クロックが出力され、これがエッジ検出部12とコンパレータ14-1～14-6にそれぞれ供給される。そこで、エッジ検出部12は、その被測定クロックに基づき、被測定クロックの立ち上がりエッジの平均的位置をタイマの利用により検出し、この検出値を測定タイミング生成部13に出力する。測定タイミング生成部13は、エッジ検出部12で検出されたエッジを中心にその前後で、コンパレータ14-1～14-6がそれぞれ異なるタイミングで比較を行うためのタイミング信号T1～T6をそれぞれ生成し、これらが対応するコンパレータ14-1～14-6に供給される。

【0014】このため、コンパレータ14-1～14-6は、そのタイミング信号T1～T6の最初の各立ち上がり（図2（B）の最初の各ストローブポイント）で、最初の被測定クロックを期待値と比較する。この結果、コンパレータ14-1～14-6からは、図2（C）に

示すように「H」、「H」、「H」、「L」、「L」、「L」の各信号が順次出力され、この各信号に応じた2値データがレジスタ15の各記憶素子に「1」、「1」、「1」、「0」、「0」、「0」と順次格納される。この格納が終了すると、レジスタ15の格納内容は直ちにレジスタ16に取り込まれる。

【0015】その後、コンパレータ14-1～14-6は、そのタイミング信号T1～T6の次の各立ち上がり（図2（B）の次の各ストローブポイント）で、次の被測定クロックを期待値と比較する。この結果、コンパレータ14-1～14-6からは、図2（C）に示すように「H」、「H」、「L」、「L」、「L」、「L」の各信号が順次出力され、この各信号に応じた2値データがレジスタ15の各記憶素子に「1」、「1」、「0」、「0」、「0」、「0」と順次格納される。この結果、レジスタ15、16の格納内容は、図1に示すような状態になる。

【0016】このように、コンパレータ14-1～14-6は、そのタイミング信号T1～T6の各立ち上がりで、被測定クロックを期待値と順次比較し、その比較結果に応じた2値データがレジスタ15に順次格納されていく。そして、レジスタ15の格納内容はレジスタ16にいったん格納されたのち、メモリ17に順次格納されていく。

【0017】このようにメモリ17に格納される2進数データ（バイナリデータ）は、被測定クロックのエッジの時間軸方向のゆれの量、すなわち被測定クロックのジッタの振幅量を表し、このジッタの振幅量の時間的な変化は、メモリ17に格納される2進数データを用いて表すと、例えば図3に示すようになる。ジッタ振幅算出部18は、メモリ17に格納される2進数データが図3に示すように波形の1周期分に相当する量に達すると、その2進数データにFFT処理を施すことにより、特定のジッタ周波数におけるジッタ振幅を算出する。

【0018】以上説明したように、この実施形態の測定方法では、被測定クロックを複数のコンパレータ14-1～14-6に分配し、各コンパレータ14-1～14-6は、タイミング信号T1～T6の各立ち上がりで、被測定クロックを期待値と順次比較し、その比較結果に応じた2値データが順次得られるようにした。このため、被測定クロックのジッタの振幅を測定することができ、そのジッタの振幅を被測定デバイス毎に定量的に把握することができる。

【0019】また、この実施形態の測定方法では、エッジ検出部12が被測定クロックに基づき、被測定クロックの立ち上がりエッジの平均的位置を検出してエッジ位置を予測するようにし、測定タイミング生成部13が、エッジ検出部12で検出されたエッジを中心にその前後で、コンパレータ14-1～14-6がそれぞれ異なるタイミングで比較を行うためのタイミング信号T1～T

6を生成するようにした。このため、コンパレータ14-1～14-6はエッジ付近を狙って比較動作を行うことができるので、測定精度を上げてタイミング信号の間隔を短くしても、測定ポイントを増やすことがなく、少ないデータで被測定クロックのジッタ振幅を測定することができる。

【O 020】さらに、この実施形態の測定方法では、その測定精度が各コンパレータ14-1～14-6のストローブ間隔に依存する。すなわち、各コンパレータ14-1～14-6で10 [nsec] ずつずらしたタイミングで比較データを得る場合には、そのときの測定精度は10 [nsec]となる。なお、上記の説明では、この実施形態にかかる測定方法を実現する各構成要素を、図1に示すようにLSI試験装置に含ませるようにしたが、その各構成要素は必ずしもLSI試験装置に含まれる必要はない。

【O 021】

【発明の効果】以上述べたように、本発明によれば、各コンパレータが、各コンパレータ毎に時間がずれている各測定タイミングにおいて、被測定クロックを期待値と比較してこの結果を2値データで順次出力し、この2値データに基づいて被測定クロックのジッタ振幅を求めるようにしたので、被測定クロックのジッタ振幅を被測定デバイス毎に、定量的に把握できる。

【O 022】また、本発明では、各コンパレータの測定

タイミングを、被測定クロックのエッジが平均的に存在する位置を予測し、この予測されるエッジの前後とするようにしたので、コンパレータはエッジ付近を狙って比較動作を行うことができるので、測定精度を上げても少ないデータで被測定クロックのジッタ振幅を求めることができる。

【図面の簡単な説明】

【図1】本発明測定方法の実施形態に使用されるLSI試験装置の一例を示すブロック図である。

【図2】コンパレータの動作を説明する説明図である。

【図3】ジッタの振幅量の時間的な変化を示す図である。

【図4】従来技術を説明する説明図である。

【図5】従来のコンパレータの動作を説明する説明図である。

【符号の説明】

2 被測定デバイス

11 LSI試験装置

12 エッジ検出部

13 測定タイミング生成部

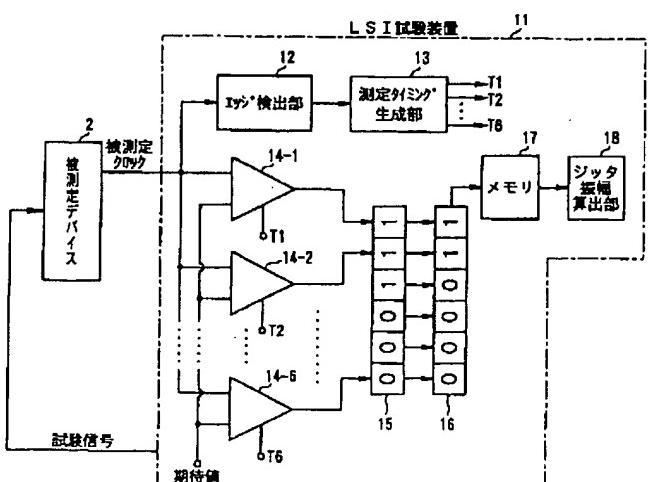
14-1～14-6 コンパレータ

15, 16 レジスタ

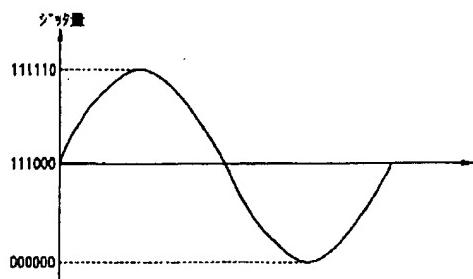
17 メモリ

18 ジッタ振幅算出部

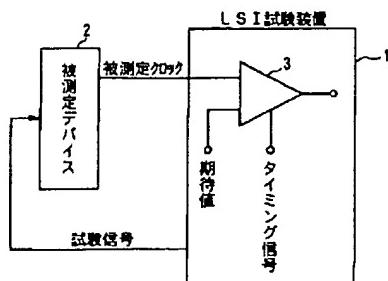
【図1】



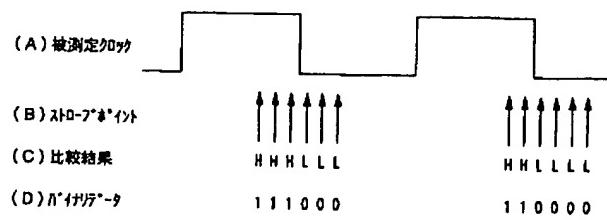
【図3】



【図4】



【図2】



【図5】

